



## PHASE COMPARATOR

**Patent number:** JP2002111486  
**Publication date:** 2002-04-12  
**Inventor:** OKAMOTO MASAOKI  
**Applicant:** FUJITSU QUANTUM DEVICES LTD  
**Classification:**  
 - international: H03D13/00; H03D13/00; (IPC1-7): H03L7/089; H03K5/26  
 - european: H03D13/00B1  
**Application number:** JP20000299311 20000929  
**Priority number(s):** JP20000299311 20000929

Also published as:

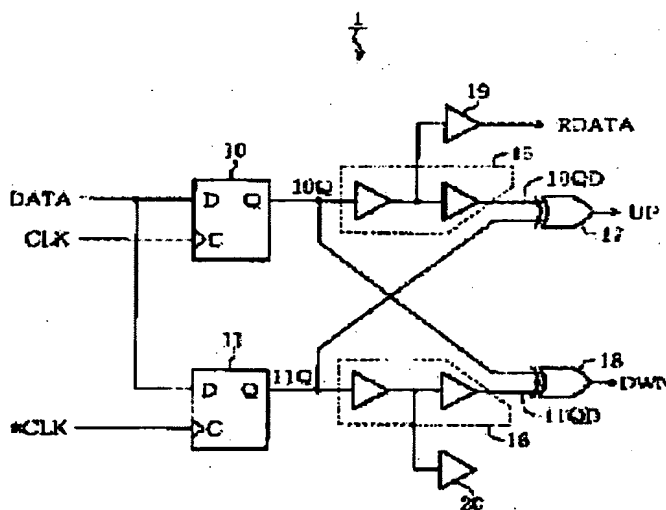
 US6944252 (B2)  
 US2002039397 (A1)

Report a data error here

### Abstract of JP2002111486

**PROBLEM TO BE SOLVED:** To attain more speedy operations with setting a wider timing margin. **SOLUTION:** In a phase comparator, data DATA is acquired alternately by flip-flops 10 and 11 at every half period of a clock CLK, delay signals 10QD and 11QD are generated with delaying outputs of the flip-flops 10 and 11 respectively by delay circuits 15 and 16, the output of the flip-flop 10 and a delay signal 11QD are applied to a XOR gate 18, and the output of the flip-flop 11 and a delay signal 10QD are applied to a XOR gate 17. Delay times of the circuits 15 and 16 may be variable. Moreover, the outputs of the gates 17 and 18 may be applied alternately to each flip-flop 10 and 11 at every half period of the clock by a delayed clock of the clock CLK.

本発明の第1実施形態の位相比較回路を示す図



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-111486

(P2002-111486A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.

識別記号

F I

テームコード (参考)

H 0 3 L 7/089

H 0 3 K 5/26

P 5 J 0 3 9

H 0 3 K 5/26

H 0 3 L 7/08

D 5 J 1 0 6

審査請求 有 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願2000-299311(P2000-299311)

(22) 出願日

平成12年9月29日 (2000.9.29)

(71) 出願人 000154325

富士通量子デバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72) 発明者 岡本 正明

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内

(74) 代理人 100092587

弁理士 松本 眞吉

Fターム(参考) 5J039 JJ07 JJ13 JJ20 KK09 KK11

KK13 MM03

5J106 AA04 CC01 CC24 CC38 CC41

CC58 DD05 DD09 DD32 DD42

DD43 JJ02 KK02 LL02

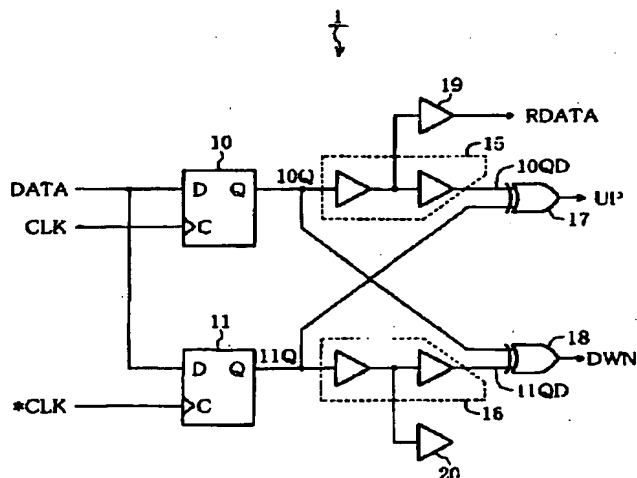
(54) 【発明の名称】 位相比較回路

(57) 【要約】

【課題】 タイミングマージンをより広くすることにより、より高速な動作を可能にする。

【解決手段】 フリップフロップ10及び11でクロックCLKの半周期毎に交互にデータDATAを取り込み、フリップフロップ10及び11の出力をそれぞれ遅延15及び16で遅延させて遅延信号10QD及び11QDを生成し、フリップフロップ10の出力及び遅延信号11QDをXORゲート17に供給し、フリップフロップ11の出力及び遅延信号10QDをXORゲート18に供給する。遅延回路の遅延時間は可変であってもよい。さらに、XORゲート17及び18の出力をそれぞれ、クロックCLKを遅延させたクロックでクロックの半周期毎に交互に個々のフリップフロップに取り込んでもよい。

本発明の第1実施形態の位相比較回路を示す図



1

## 【特許請求の範囲】

【請求項1】 第1クロックの半周期毎に交互にデータを取り込む第1及び第2フリップフロップ回路と、  
該第1及び第2フリップフロップ回路の出力を遅延させてそれぞれ第1及び第2遅延信号を出力する遅延回路と、

該第2フリップフロップの出力及び該第1遅延信号が同一レベル又は異なるレベルのいずれか一方である時に出力が活性になる第1論理ゲート回路と、

該第1フリップフロップの出力及び該第2遅延信号が同一レベル又は異なるレベルのいずれか一方である時に出力が活性になる第2論理ゲート回路と、

を有し、該第1論理ゲート回路の出力パルスの幅と該第1論理ゲート回路の出力パルスの幅の大小関係が、該データのエッジに対し該第1クロックの位相が進んでいる時と遅れている時とで異なることを特徴とする位相比較回路。

【請求項2】 上記第1遅延回路の遅延時間は、上記第2遅延回路のそれにほぼ等しく且つ上記第1クロックの半周期より短いことを特徴とする請求項1記載の位相比較回路。

【請求項3】 上記第1及び第2遅延回路は、選択制御信号に応じて遅延時間が定まる可変遅延回路であることを特徴とする請求項1又は2記載の位相比較回路。

【請求項4】 上記第1及び第2論理ゲート回路の出力をそれぞれ、上記第1クロックと位相が異なる第2クロックで該第2クロックの半周期毎に交互に取り込む第3及び第4フリップフロップ回路をさらに有し、  
該データのエッジに対し該第1クロックの位相が進んでいる時と遅れている時とに応じて、該第3又は第4フリップフロップ回路の出力の一方からパルスが出力されることを特徴とする請求項1乃至3のいずれか1つに記載の位相比較回路。

【請求項5】 上記第1クロックを遅延させて上記第2クロックを出力する第3遅延回路をさらに有することを特徴とする請求項4記載の位相比較回路。

【請求項6】 上記第1論理ゲート回路の出力パルスの幅が上記第2論理ゲート回路のそれより広い時にこのパルスのほぼ中央の時点で上記第3フリップフロップ回路が該第1論理ゲート回路の出力を取り込むように、上記第3遅延回路の遅延時間が定められていることを特徴とする請求項5記載の位相比較回路。

【請求項7】 請求項1乃至3のいずれか1つに記載の位相比較回路と、  
該位相比較回路の出力が供給されるループフィルタ回路と、

該ループフィルタの出力が供給され、出力を上記第1クロックとして該位相比較回路に供給する電圧制御発信回路と、  
を有することを特徴とするPLL回路。

2

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、位相比較回路に係り、特に、クロック再生用PLL回路に用いられて、データのエッジに対しクロックの位相が進んでいるか遅れているかを検出しその信号をループフィルタを介しVCOに供給する位相比較回路に関する。

【0002】

【従来の技術】 位相比較回路では、検出した位相誤差に比例した信号を出力するアナログ式のものと、位相誤差の正負を検出するデジタル式のものとがある。動作周波数の向上に伴いアナログ式位相比較回路の出力に含まれるオフセット成分が問題となるため、位相誤差を最小にしたい場合にはデジタル式位相比較回路が使用される傾向にある。

【0003】 図12は、従来のデジタル式位相比較回路を示す。図13及び図14は、この回路の動作を示すタイムチャートであり、図13は、データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が遅れている場合を示し、図14はこの位相が進んでいる場合を示す。

【0004】 参照信号としてのデータDATAはNRZ信号であり、クロックCLKはこのデータDATAから再生したものである。クロックCLKと\*CLKとは互いに逆相である。

【0005】 Dフリップフロップ10及び11はそれぞれクロックCLK及び\*CLKの立ち上がり時にデータDATAのレベルを検出して保持するものであり、両出力10Q及び11QはXOR（イクスクルーシブオア）ゲート12に供給される。XORゲート12の出力EDは、Dフリップフロップ10と11の出力のレベルが異なる場合に高レベルとなる。出力10Q及び11QはデータDATAより遅延しており、かつ、出力10Qと11Qの遅延の差がクロックCLKの半周期 $T/2$ であるので、信号EDのパルスは、データDATAの各エッジに対応した幅 $T/2$ のパルスである。

【0006】 Dフリップフロップ13及び14はそれぞれ、クロックCLK及び\*CLKの立ち上がりエッジでの信号EDのレベルを検出し、その結果をアップ信号UP及びダウン信号DWNとして出力する。

【0007】 図12の位相比較回路をPLL回路に用い、VCOの出力周波数がアップ信号UPにより上昇しダウン信号DWNにより下降するようにすると、クロックCLKの立ち下がりエッジとデータDATAのエッジの時点が一致するようにPLL回路が動作する。

【0008】

【発明が解決しようとする課題】 エッジ検出信号EDのパルス幅がクロックCLKのそれに等しいので、クロックCLK及び\*CLKの立ち上がりエッジで信号EDのレベルを検出するDフリップフロップ13及び14のタ

50

3

イミシングマージンが比較的短い。クロックCLKの周波数が例えば10GHz以上になると、クロックCLKが三角波に近くなる。さらに、データDATAにはジッタがある。これらのことから、Dフリップフロップ13及び14でタイミングエラーが生じて、高速動作に支障を来すという問題があった。

【0009】本発明の目的は、このような問題点に鑑み、タイミングマージンをより広くすることにより、より高速に動作させることが可能な位相比較回路を提供することにある。

【0010】

【課題を解決するための手段及びその作用効果】本発明の第1態様の位相比較回路では、第1及び第2フリップフロップ回路で第1クロックの半周期毎に交互にデータを取り込み、該第1及び第2フリップフロップ回路の出力をそれぞれ遅延させて第1及び第2遅延信号を生成し、該第1フリップフロップ回路の出力及び該第2遅延信号を第1論理ゲート回路に供給し、該第2フリップフロップ回路の出力及び該第1遅延信号を第2論理ゲート回路に供給する。該第1及び第2論理ゲート回路はいずれも、2入力のレベルが同一又は異なるレベルのいずれか一方である時に出力が活性になり、例えばイクスクルーシブオアゲート又はイクスクルーシブノアゲートである。

【0011】該第1クロック及びデータはいずれも、単相であっても互いに逆相の相補信号であってもよい。この点は、以下の第2クロックについても同様である。

【0012】該第1論理ゲート回路の出力パルスの幅と該第2論理ゲート回路の出力パルスの幅の大小関係が、該データのエッジに対し該第1クロックの位相が進んでいる時と遅れている時とで異なるので、位相比較回路として動作する。

【0013】また、クロックの半周期のパルス幅のデータを取り込むフリップフロップが不要になるので、そのタイミングマージンの問題が無くなり、高速動作に適している。

【0014】本発明の第2態様の位相比較回路では、上記第1態様において、上記第1及び第2遅延信号を生成する遅延回路の遅延時間を可変にする。

【0015】これにより、位相比較回路の出力パルス幅を選択可能になるので、この位相比較回路を用いてPLL回路を構成する場合に、ループフィルタ及びVCOの特性に応じてループゲインを外部から調整可能になる。

【0016】本発明の第3態様の位相比較回路では、上記第1及び第2論理ゲート回路の出力をそれぞれ、上記第1クロックと位相が異なる第2クロックで該第2クロックの半周期毎に交互に第3及び第4フリップフロップ回路に取り込む。

【0017】これにより、該データのエッジに対し該第1クロックの位相が進んでいる時と遅れている時とに

4

じて、該第3又は第4フリップフロップの出力の一方からのみパルスが出力される。すなわち、該第1又は第2フリップフロップの出力の他方の細幅パルスは無視される。

【0018】該第1及び第2論理ゲートの一方から出力される広幅パルスは、幅が第1クロックの半周期より大きいので、該第3又は第4フリップフロップでのタイミングマージンが広くなり、図12の位相比較回路よりも高速動作に適している。

10 【0019】本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0021】【第1実施形態】図1は、本発明の第1実施形態の位相比較回路1を示す。図2及び図3は、図1の回路の動作を示すタイムチャートであり、図2は、データDATAのエッジに対しクロックCLKの立ち下がりがエッジの位相が遅れている場合を示し、図3はこの位相が進んでいる場合を示す。

20 【0022】図12の場合と同様に、参照信号としてのデータDATAはNRZ信号であり、クロックCLKはデータDATAから再生したものである。クロックCLKと\*CLKとは互いに逆相である。以下、クロックCLKの周期をTで表す。

【0023】この位相比較回路1は、クロックCLK及び\*CLKの立ち上がりエッジでデータDATAのレベルをDフリップフロップ10及び11で検出する点で、図14のそれと同一である。Dフリップフロップ10及び11の非反転出力10Q及び11Qはいずれも図2及び図3に示す如く、データDATAの位相を遅延させた波形となる。図2の上記位相関係の場合には、Dフリップフロップ10よりもDフリップフロップ11の方がデータDATAのエッジをT/2だけ先に検出する。これに対し、図3の上記位相関係の場合には、Dフリップフロップ11よりもDフリップフロップ10の方がデータDATAのエッジをT/2だけ先に検出する。

【0024】図1において、非反転出力10Q及び11Qはそれぞれ遅延回路15及び16を通して遅延する。その遅延量TDは、0より大きく、かつ、遅延回路15と16の遅延量の差がクロックCLKの周期のほぼ整数倍であればよく、好ましくは遅延回路15と16の遅延量の差が0で0<TD<T/2である。図2及び図3は、TD=T/3である場合を示している。図1では、遅延回路15及び16がいずれもループフィルタ2段の非反転ゲートで構成されている。各段の非反転ゲートは偶数段の反転ゲートで構成することができる。

【0025】遅延回路15及び16の出力10QD及び11QDはそれぞれXORゲート17及び18の一方の入力端に供給される。XORゲート17及び18の他方

50

5

の入力端にはそれぞれ非反転出力11Q及び非反転出力10Qが供給される。XORゲート17及び18からそれぞれアップ信号UP及びDWMが出力される。

【0026】図2に示すようにデータDATAのエッジに対しクロックCLKの立ち下がりエッジが遅れている場合には、信号11Qが立ち上がって $T/2$ 経過後に信号10Qが立ち上がる。従って、信号11Qが立ち上がって $(T/2+TD)$ 経過後に信号10Qが立ち上がる。これにより、アップ信号UPのパルス幅は $(T/2+TD)$ 、図2の場合には $5T/6$ となる。このパルスは、データDATAの立ち上がりエッジに対応している。同様に、データDATAの立ち下がりエッジに対応したアップ信号UPのパルスの幅も $(T/2+TD)$ となる。

【0027】これに対し、信号11QDの立ち上がりから $(T/2-TD)$ 経過後に信号10Qが立ち上がるので、ダウン信号DWNのパルス幅は $(T/2-TD)$ 、図2の場合には $T/6$ となる。このパルスは、データDATAの立ち上がりエッジに対応している。同様に、データDATAの立ち下がりエッジに対応したダウン信号DWNのパルスの幅も $(T/2-TD)$ となる。

【0028】図3に示すように、データDATAのエッジに対しクロックCLKの立ち下がりエッジが進んでいる場合には、信号10Qが立ち上がって $T/2$ 経過後に信号11Qが立ち上がる。従って、信号10Qが立ち上がって $(T/2+TD)$ 経過後に信号11QDが立ち上がる。これにより、ダウン信号DWNのパルス幅は $(T/2+TD)$ 、図3の場合には $5T/6$ となる。このパルスは、データDATAの立ち上がりエッジに対応している。同様に、データDATAの立ち下がりエッジに対応したダウン信号DWNのパルスの幅も $(T/2+TD)$ となる。

【0029】これに対し、信号10QDの立ち上がりから $(T/2-TD)$ 経過後に信号11Qが立ち上がるので、アップ信号UPのパルス幅は $(T/2-TD)$ 、図2の場合には $T/6$ となる。このパルスは、データDATAの立ち上がりエッジに対応している。同様に、データDATAの立ち下がりエッジに対応したアップ信号UPのパルスの幅も $(T/2-TD)$ となる。

【0030】以上のことから、データDATAのエッジに対しクロックCLKの立ち下がりエッジが遅れている場合には、データDATAの各エッジに対応したアップ信号UPのパルス幅はダウン信号DWNのそれより $2TD$ だけ広くなり、データDATAのエッジに対しクロックCLKの立ち下がりエッジが進んでいる場合には逆に、データDATAの各エッジに対応したダウン信号DWNのパルス幅はアップ信号UPのそれより $2TD$ だけ広がる。このため、図1の回路は、図12のようなDフリップフロップ13及び14を用いることなく、位相比較回路として動作する。これにより、図12のDフリ

6

ップフロップ13及び14のタイミングマージンの問題が無くなり、図1の位相比較回路1は、図12のそれよりも高速動作に適している。

【0031】遅延回路15にはバッファゲート19が接続され、バッファゲート19から、ジッタが除去されたリタイムドデータRDATAが取り出される。このリタイムドデータRDATAは、不図示の回路でクロックCLK及び\*CLKに同期して処理される。遅延回路15にバッファゲート19を接続すると、遅延回路15の遅延量が増加するので、遅延回路16にダミーバッファゲート20を接続することにより、遅延回路15と16の遅延量を互いに同一にしている。

【0032】図4は、図1の位相比較回路1を用いてデータDATAからクロックCLK及び\*CLKを再生するPLL回路を示す。

【0033】この回路は、位相比較回路1、ループフィルタ2、VCO（電圧制御発振器）3及びバッファゲート回路4がループ状に接続されて構成されている。

【0034】ループフィルタ2では、アップ信号UP及びダウン信号DWNがそれぞれ抵抗21及び22を介して演算増幅回路23の反転入力端及び非反転入力端に供給される。演算増幅回路23の非反転入力端とグランド電位との間には、抵抗24とキャパシタ25とが直列接続されている。演算増幅回路23の反転入力端と出力端との間には、抵抗26とキャパシタ27とが直列接続されている。演算増幅回路23の2入力の電位が互いにほぼ等しいので、ダウン信号DWNのパルスによりキャパシタ25が充電されると、演算増幅回路23の入力端の電位が上昇して、演算増幅回路23の出力端の電圧CVも上昇する。アップ信号UPのパルスによりキャパシタ27が充電されて、制御電圧CVが低下する。

【0035】VCO3は例えば、マルチバイブレータ型であり、本実施形態では制御電圧CVが上昇すると出力クロックの周波数が低下する。マルチバイブレータ型の場合、位相ずれのない相補クロックを容易に生成することができる。

【0036】VCO3の出力は、バッファゲート回路4を介し、クロックCLK及び\*CLKとして出力され、位相比較回路1に供給される。

【0037】図5は、図4のループフィルタ2の替わりに用いることができるループフィルタ2Aを示す。

【0038】このループフィルタ2Aは、チャージポンプ回路28の出力端に積分回路29が接続されている。アップ信号UPのパルスにより積分回路29内のキャパシタが充電されて制御電圧CVが上昇し、ダウン信号UPのパルスによりこのキャパシタの電荷が放電されて制御電圧CVが下降する。

【0039】なお、図4において、VCO3は、バッファゲート回路4を含む構成、又は、さらにバッファゲート回路4の出力端に分周器が接続された構成であっても

7

よい。

【0040】[第2実施形態] 図6は、本発明の第2実施形態の位相比較回路1Aを示す。

【0041】この回路1Aでは、図1の遅延回路15及び16の替わりにそれぞれ可変遅延回路15A及び16Aが用いられている。

【0042】可変遅延回路15Aでは、セクタ151の入力端とDフリップフロップ10の出力端との間に、段数が異なるゲート回路が複数接続され、セクタ151はその1つを選択制御信号SELに応じて選択し、遅延信号10QDを出力する。可変遅延回路16Aは可変遅延回路15Aと同一構成であり、セクタ161の選択制御入力端にもセクタ151と同じ選択制御信号SELが供給されて、可変遅延回路15Aと16Aの遅延量が同じにされる。

【0043】可変遅延回路15A及び16Aにより、遅延量TD、すなわちアップ信号UP及びダウン信号DWNの広幅及び細幅のパルス幅を選択することができる。このような位相比較回路1AをICとしてユーザに供給することにより、ユーザは図4のようなPLL回路を構成する場合に、ループフィルタ2及びVCO3の特性に応じて遅延量TDを選択することができ、これにより、より高性能のPLL回路を構成することが可能となる。

【0044】[第3実施形態] 図7は、本発明の第3実施形態の位相比較回路1Bを示す。

【0045】この回路1Bでは、図1の回路にさらにDフリップフロップ13、14及び遅延回路30を備え、XORゲート17及び18の出力17Q及び18QをそれぞれDフリップフロップ13及び14のデータ入力端Dに供給し、クロックCLK及び\*CLKを、遅延回路30を介し、遅延クロックCLKD及び\*CLKDとしてDフリップフロップ13及び14のクロック入力端Cに供給している。遅延回路30は、例えば差動増幅回路を備えて構成されており、相補入力相補出力型である。Dフリップフロップ13及び14の信号端Qから取り出される信号は、それぞれアップ信号UP及びダウン信号DWNとして用いられる。

【0046】図8及び図9は図7の回路の動作を示すタイムチャートであり、図8は、データDATAのエッジに対しクロックCLKの立ち下がりエッジの位相が遅れている場合を示し、図9はこの位相が進んでいる場合を示す。図8及び図9のクロックCLK及びデータDATAの波形はそれぞれ図2及び図3のクロックCLK及びデータDATAの波形と同一であり、図8及び図9で省略された信号10Q、11Q、17Q及び18Qの波形は、図2及び図3の対応するものと同じである。

【0047】遅延回路30の遅延量 $\tau$ は、図8に示すように信号17Qが広幅のパルスを含む場合に、そのパルスのほぼ中央のエッジで遅延クロックCLKDが立ち上がるように、設計で定められている。このようにすれ

8

ば、図9に示すように、信号18Qが広幅のパルスを含む場合にも、そのパルスのほぼ中央のエッジで遅延クロック\*CLKDが立ち上がる。

【0048】これにより、図8の場合には信号17Qのパルスが遅延クロックCLKDの立ち上がりエッジで検出されて、アップ信号UPが高レベルとなる。これに対し、信号18Qのパルスは遅延クロック\*CLKDの立ち下がりエッジ付近に存在し、立ち上がりエッジでは信号18Qが低レベルであるので、ダウン信号DWNは低レベルとなる。

【0049】本第3実施形態の位相比較回路1Bでは、図12と同様にDフリップフロップ13及び14を備えているが、図12の場合よりも広幅のパルスを遅延クロックで検出するので、タイミングマージンが広くなり、図12の位相比較回路よりも高速動作に適している。

【0050】なお、好ましい遅延量 $\tau$ は、Dフリップフロップ10及びXORゲート17の遅延時間をそれぞれ $\Delta T1$ 及び $\Delta T2$ で表すと、 $\tau = \Delta T1 + \Delta T2 + (TD + T/2) / 2$ であり、図8及び図9では $\tau = T/4$ である。

【0051】また、クロックCLKとCLKDとは両者の位相差が所定時間であればよく、Dフリップフロップ13に供給するクロックを遅延させてDフリップフロップ10に供給してもよい。

【0052】[第4実施形態] 図10は、本発明の第4実施形態の位相比較回路1Cを示す。

【0053】この回路1Cは、Dフリップフロップ10及び11の反転出力端の信号10\*Q及び11\*QがそれぞれXNOR（イクスクルーシブノア）ゲート17A及び18Aに供給されている点で、図1の回路と異なる。

【0054】なお、本発明は、図6及び図7の回路について前記同様に変更した回路も含む。

【0055】[第5実施形態] 図11は、本発明の第5実施形態の位相比較回路1Dを示す。

【0056】この回路1Dは、Dフリップフロップ11のデータ入力端Dに、データDATAと逆相の\*DATAが供給され、Dフリップフロップの反転出力端の信号10\*QがXORゲート17及び遅延回路16に供給されている点で、図1の回路と異なる。

【0057】なお、本発明は、図6、図7及び図10の回路について前記同様に変更した回路も含む。

【図面の簡単な説明】

【図1】本発明の第1実施形態の位相比較回路を示す図である。

【図2】図1の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が遅れている場合を示す。

【図3】図1の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLKの

10

20

30

40

50

立ち下がりエッジの位相が進んでいる場合を示す。

【図4】図1の位相比較回路1を用いてデータDATAからクロックCLK及び\*CLKを再生するPLL回路を示す図である。

【図5】図4のループフィルタの変形例を示す図である。

【図6】本発明の第2実施形態の位相比較回路を示す図である。

【図7】本発明の第3実施形態の位相比較回路を示す図である。

【図8】図7の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が遅れている場合を示す。

【図9】図7の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が進んでいる場合を示す。

【図10】本発明の第4実施形態の位相比較回路を示す図である。

【図11】本発明の第5実施形態の位相比較回路を示す図である。

【図12】従来の位相比較回路を示す図である。

【図13】図12の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLK

の立ち下がりエッジの位相が遅れている場合を示す。

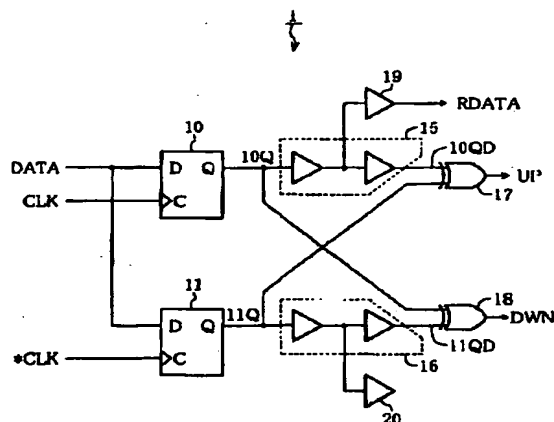
【図14】図12の回路の動作を示すタイムチャートであり、データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が進んでいる場合を示す。

【符号の説明】

- 1、1A～1D 位相比較回路
- 2、2A ループフィルタ
- 3 VCO
- 4 バッファゲート回路
- 10、11、13、14 Dフリップフロップ
- 12、17、18 XORゲート
- 15、16、30 遅延回路
- 15A、16A 可変遅延回路
- 151、161 セレクタ
- 19 バッファゲート
- 20 ダミーバッファゲート
- 21、22、24、26 抵抗
- 23 演算増幅回路
- 25、27 キャパシタ
- ED エッジ検出信号
- UP アップ信号
- DWN ダウン信号
- SEL 選択制御信号

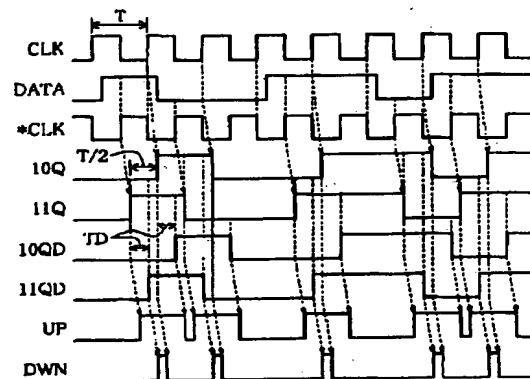
【図1】

本発明の第1実施形態の位相比較回路を示す図



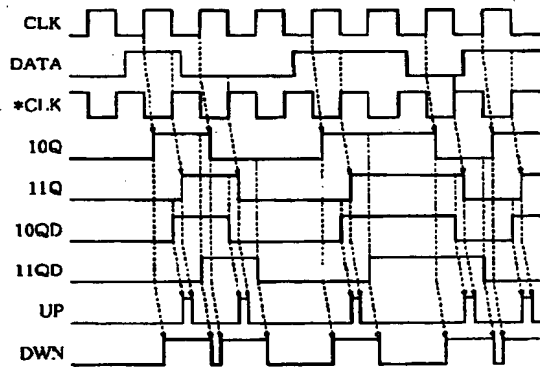
【図2】

図1の回路の動作を示すタイムチャート  
(データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が遅れている場合)



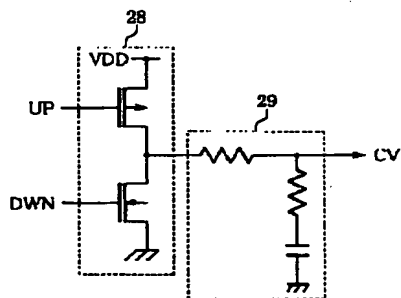
【図3】

図1の回路の動作を示すタイムチャート  
(データDATAのエッジに対するクロックCLKの  
立ち下がりエッジの位相が進んでいる場合)



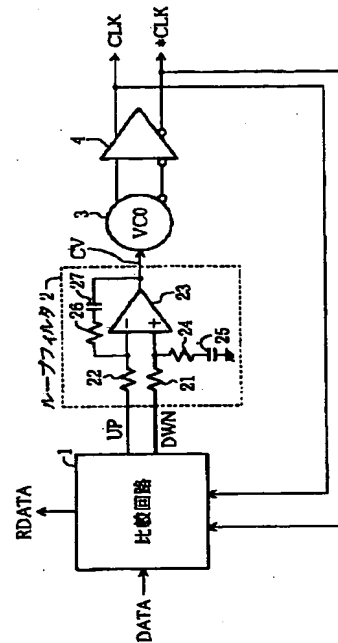
【図5】

図4のループフィルタの変形例を示す図



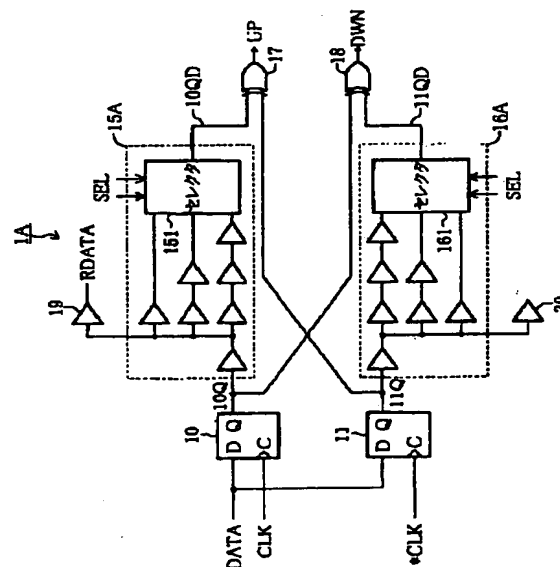
【図4】

図1の位相比較回路1を用いてデータDATAからクロック  
CLK及び\*CLKを再生するPLL回路を示す図



【図6】

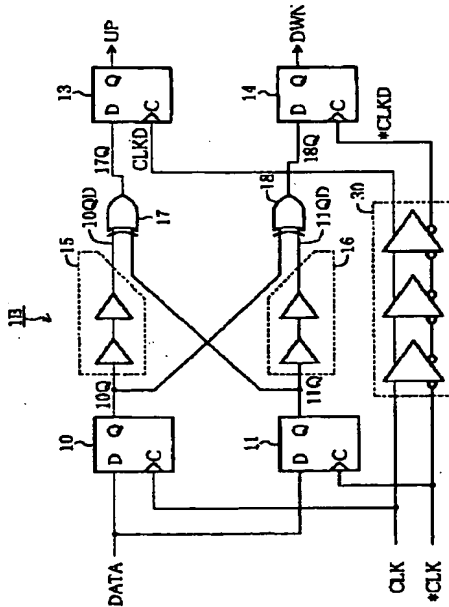
本発明の第2実施形態の位相比較回路を示す図





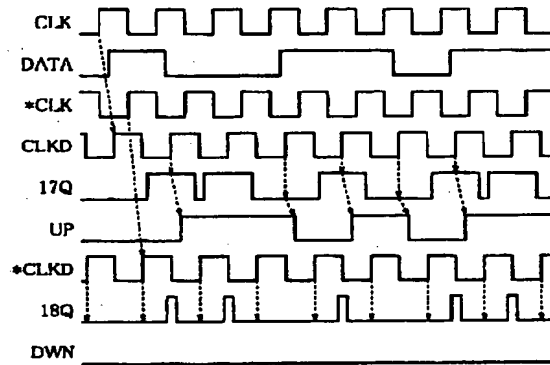
【図7】

本発明の第3実施形態の位相比較回路を示す図



【図8】

図7の回路の動作を示すタイムチャート  
(データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が遅れている場合)

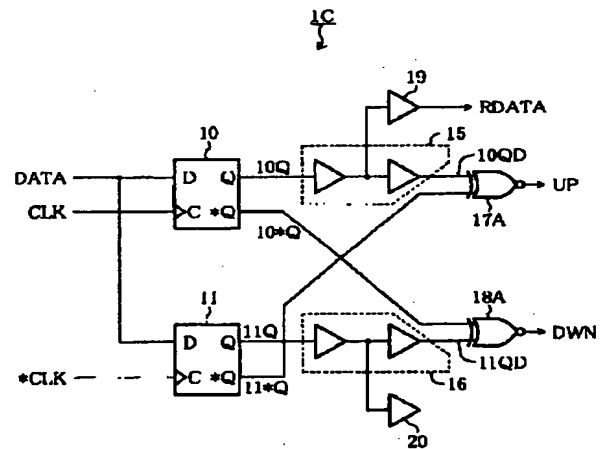
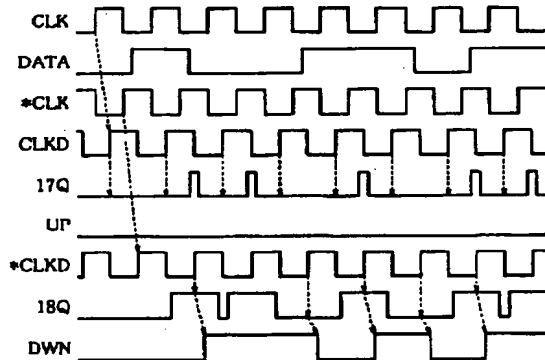


【図10】

本発明の第4実施形態の位相比較回路を示す図

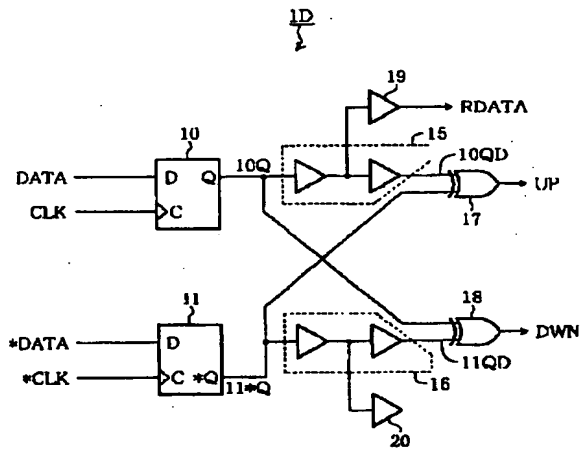
【図9】

図7の回路の動作を示すタイムチャート  
(データDATAのエッジに対するクロックCLKの立ち下がりエッジの位相が進んでいる場合)



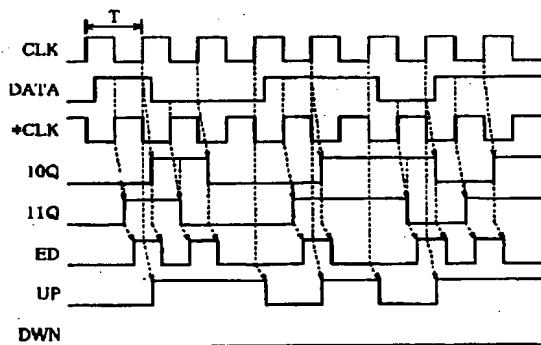
【図 1 1】

本発明の第5実施形態の位相比較回路を示す図



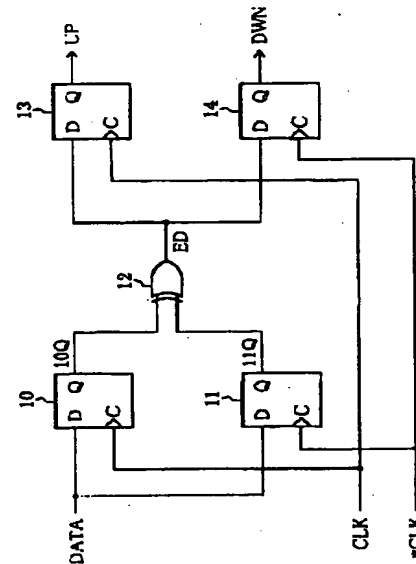
【図 1 3】

図12の回路の動作を示すタイムチャート  
 (データDATAのエッジに対するクロックCLKの  
 立ち下がりがエッジの位相が遅れている場合)



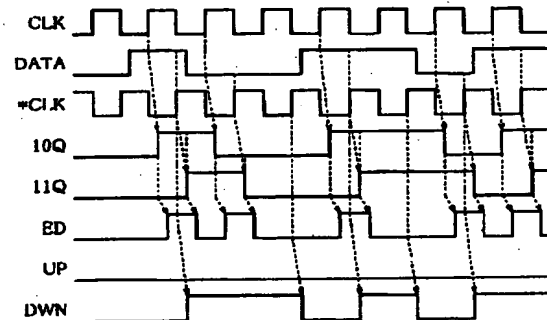
【図 1 2】

従来の位相比較回路を示す図



【図 1 4】

図12の回路の動作を示すタイムチャート  
 (データDATAのエッジに対するクロックCLKの  
 立ち下がりがエッジの位相が進んでいる場合)



【手続補正書】

【提出日】平成13年9月4日(2001. 9. 4)

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】

図4のループフィルタの変形例を示す図

